

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

50006-135  
Hosokawa et al.  
Dec. 26, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日

Date of Application:

2000年12月27日

出願番号

Application Number:

特願2000-397501

出願人

Applicant(s):

三菱電機株式会社

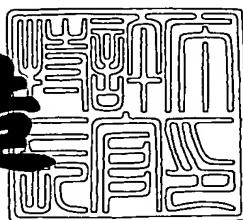
JC927 U.S. PRO  
10/026551  
12/27/01



2001年 1月26日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3000941

【書類名】 特許願  
【整理番号】 528380JP01  
【提出日】 平成12年12月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/02  
G05B 15/02

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 細川 智広

## 【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 清水 悟

## 【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

## 【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葵

## 【選任した代理人】

【識別番号】 100101454

【弁理士】

【氏名又は名称】 山田 卓二

## 【選任した代理人】

【識別番号】 100112911

【弁理士】

【氏名又は名称】 中野 晴夫

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び製造システム

【特許請求の範囲】

【請求項1】 前工程と後工程とを含む処理を半導体基板に対して行う半導体装置の製造方法であって、

半導体基板を処理する前工程と、

該前工程で処理された該半導体基板の特性を測定する測定工程と、

該測定工程の測定結果を元に後工程の処理条件を設定する設定工程と、

該処理条件を用いて該半導体基板を処理する後工程と、

該後工程で処理された該半導体基板の特性を検査し、所定の規格に適合するか否かを判断する検査工程とを含み、

更に、該検査工程において該規格に適合しないと判断された該半導体基板に対して、該規格に適合するように再処理を行う再処理工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 上記再処理工程の処理条件が、上記検査工程の検査結果を元に決定されることを特徴とする請求項1に記載の製造方法。

【請求項3】 上記再処理工程が、上記前工程と上記後工程とからなる群から選択される1の工程であることを特徴とする請求項1に記載の製造方法。

【請求項4】 上記再処理工程が、上記前工程、上記測定工程、上記設定工程及び上記後工程を含むことを特徴とする請求項1に記載の製造方法。

【請求項5】 上記前工程が、上記半導体基板上に絶縁膜を堆積する工程であり、上記後工程が、該絶縁膜の膜厚の測定結果から決定されたエッチング条件を用いて該絶縁膜をエッチングする工程であることを特徴とする請求項1～4のいずれかに記載の製造方法。

【請求項6】 上記前工程が、上記半導体基板上にフィールド酸化膜を形成する工程であり、

上記後工程が、該フィールド酸化膜の膜厚及び該フィールド酸化膜に挟まれた活性層領域の幅から選択される少なくとも1の寸法の測定結果を基に、該活性層領域の幅と該フィールド酸化膜のエッチング量との関係を示すテーブルから、該

活性層領域の幅が所定の寸法となるように決定されたエッチング条件を用いて、該フィールド酸化膜をエッチングする工程であることを特徴とする請求項1又は2のいずれかに記載の製造方法。

【請求項7】 上記測定工程が、上記半導体基板の所定部分の膜厚及び幅から選択される1の寸法を測定する工程であることを特徴とする請求項1に記載の製造方法。

【請求項8】 前処理装置と後処理装置とを含む半導体装置の製造システムであって、

半導体基板に対して前工程を行う前処理装置と、  
該前工程が行なわれた該半導体基板の特性を測定する測定装置と、  
該測定装置の測定結果を元に後工程の処理条件を設定する設定装置と、  
該処理条件を用いて該半導体基板に対して後工程を行う後処理装置と、  
該後工程で処理された該半導体基板の特性を検査する検査装置と、  
該検査装置の検査結果が所定の規格に適合するか否かを判断する評価装置とを含み、

更に、該評価装置において該規格に適合しないと判断された該半導体基板に対して、該規格に適合するように、該前処理装置及び／又は該後処理装置で再処理を行うことを特徴とする半導体装置の製造システム。

【請求項9】 更に、上記検査装置の上記検査結果を元に、上記前処理装置及び／又は上記後処理装置の再処理条件を設定する再処理条件設定装置を含むことを特徴とする請求項8に記載の製造システム。

【請求項10】 上記前処理装置がデポジション装置であり、上記後処理装置がエッチング装置であることを特徴とする請求項8又は9に記載の製造システム。

【請求項11】 上記測定装置が、上記半導体基板の所定部分の膜厚及び幅から選択される1の寸法を測定する装置であることを特徴とする請求項8に記載の製造システム。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、半導体装置の製造方法及び製造システムに関し、特に、検査工程後に再処理工程を行う半導体装置の製造方法及び製造システムに関する。

**【0002】****【従来の技術】**

図10は、従来の半導体装置の製造工程図である。かかる製造工程は、例えば、図4に示すようなサイドウォール45の形成に用いられる。ここでは、図4を参照しながらサイドウォール45の形成工程について説明する。

まず、工程101では、半導体基板41とその上に形成されたゲート電極42を覆うように、絶縁膜43を堆積させる前工程を行う。

次に、工程102では、絶縁膜43の膜厚を測定する。工程103では、工程102の測定結果を元に、工程104の条件設定を行う。

次に、工程104では、工程103で決定したエッチング条件に従って、絶縁膜43をエッチバックして、ゲート電極42の両側にサイドウォール45を形成する後工程を行う。

次に、工程105では、サイドウォール43の幅を測定し、所定の規格に適合しているか否かを検査する。

次に、工程106では、工程105における検査結果が、所定に規格に適合しているか否かを判断する。この結果、規格に適合している場合には工程107の製品化工程に回される。一方、規格に適合していない場合には、工程108の廃棄工程に回されることとなる。

**【0003】****【発明が解決しようとする課題】**

しかし、工程105の検査結果がわずかに規格に適合していない場合にも、半導体基板を一律に廃棄していたのでは、製造歩留まりの向上が図れず、製造コストの低減が困難となる。

そこで、本発明は、所定の規格に適合しない半導体基板を再処理して規格に適合させ、製造歩留まりを向上させた半導体装置の製造方法及び製造システムの提供を目的とする。

【0004】

【課題を解決するための手段】

本発明は、前工程と後工程とを含む処理を半導体基板に対して行う半導体装置の製造方法であって、半導体基板を処理する前工程と、該前工程で処理された該半導体基板の特性を測定する測定工程と、該測定工程の測定結果を元に後工程の処理条件を設定する設定工程と、該処理条件を用いて該半導体基板を処理する後工程と、該後工程で処理された該半導体基板の特性を検査し、所定の規格に適合するか否かを判断する検査工程とを含み、更に、該検査工程において該規格に適合しないと判断された該半導体基板に対して、該規格に適合するように再処理を行う再処理工程を含むことを特徴とする半導体装置の製造方法である。

かかる製造方法では、処理工程後の検査で、所定の規格に適合しないと判断された半導体基板に対して、再処理工程を行うことにより、規格に適合させることができる。これにより、半導体装置の製造歩留まりの向上が可能となる。また、製造コストの低減も可能となる。

【0005】

上記再処理工程の処理条件は、上記検査工程の検査結果を元に決定される。

【0006】

上記再処理工程は、上記前工程と上記後工程とからなる群から選択される1の工程であっても良い。

前工程又は後工程のいずれかを行うことにより、半導体基板の特性を所定の規格に適合させることができが可能な場合もあるからである。

【0007】

上記再処理工程は、上記前工程、上記測定工程、上記設定工程及び上記後工程を含む工程であっても良い。

これらの工程を行うことにより、半導体基板の特性を所定の規格に適合させることができが可能な場合もあるからである。

【0008】

上記前工程が、上記半導体基板上に絶縁膜を堆積する工程であり、上記後工程が、該絶縁膜の膜厚の測定結果から決定されたエッティング条件を用いて該絶縁膜

をエッティングする工程であることが好ましい。

かかる工程を用いることにより、サイドウォール、層間絶縁膜等が形成できるからである。

【0009】

上記前工程が、上記半導体基板上にフィールド酸化膜を形成する工程であり、上記後工程が、該フィールド酸化膜の膜厚及び該フィールド酸化膜に挟まれた活性層領域の幅から選択される少なくとも1の寸法の測定結果を基に、該活性層領域の幅と該フィールド酸化膜のエッティング量との関係を示すテーブルから、該活性層領域の幅が所定の寸法となるように決定されたエッティング条件を用いて、該フィールド酸化膜をエッティングする工程であることが好ましい。

【0010】

上記測定工程は、上記半導体基板の所定部分の膜厚及び幅から選択される1の寸法を測定する工程であることが好ましい。

【0011】

また、本発明は、前処理装置と後処理装置とを含む半導体装置の製造システムであって、半導体基板に対して前工程を行う前処理装置と、該前工程が行なわれた該半導体基板の特性を測定する測定装置と、該測定装置の測定結果を元に後工程の処理条件を設定する設定装置と、該処理条件を用いて該半導体基板に対して後工程を行う後処理装置と、該後工程で処理された該半導体基板の特性を検査する検査装置と、該検査装置の検査結果が所定の規格に適合するか否かを判断する評価装置とを含み、更に、該評価装置において該規格に適合しないと判断された該半導体基板に対して、該規格に適合するように、該前処理装置及び／又は該後処理装置で再処理を行うことを特徴とする半導体装置の製造システムでもある。

【0012】

本発明は、更に、上記検査装置の上記検査結果を元に、上記前処理装置及び／又は上記後処理装置の再処理条件を設定する再処理条件設定装置を含むものであっても良い。

【0013】

上記前処理装置がデポジション装置であり、上記後処理装置がエッティング装置

であることが好ましい。

【0014】

上記測定装置は、上記半導体基板の所定部分の膜厚及び幅から選択される1の寸法を測定する装置であることが好ましい。

【0015】

【発明の実施の形態】

図1は、本発明の実施の形態にかかる半導体装置の製造工程図である。符号1で示す前工程から符号7で示す製品化工程までは、図10に示す従来の製造工程101～107と同様の工程である。

本実施の形態にかかる工程では、工程5で得られた検査結果が規格に適合していないと、工程6で判断された場合に、工程8の再処理工程を行う点において、従来の製造工程と異なっている。

【0016】

図2は、符号8で示される再処理工程の詳細な内容である。

工程6で、規格に適合していないと判断された場合には、工程8において、まず、工程81の再処理工程の選択が行なわれる。再処理工程は、前工程82、後工程85、又は前工程82及び後工程85のいずれかから選択される。前工程82は、符号1で示す前工程の処理条件を変えた工程である。また、工程85も、符号4で示される後工程の処理条件を変えた工程である。

【0017】

前処理工程8が行なわれた後に、再度、工程5の検査工程が行なわれ、工程6で規格に適合しているかが判断される。

【0018】

工程6において、再処理工程8を行うことにより、規格に適合するようになった場合は、工程7の製品化工程に回される。

なお、再処理工程8を行っても、規格に適合しない場合には、再度、再処理工程8を行ってもかまわないし、廃棄処分としてもかまわない。

【0019】

このように、本実施の形態では、前工程1、後工程2を行った半導体基板が、

所定の規格に適合しない場合に、再処理工程8において、再度、前工程8.2及び／又は後工程8.5を行うことにより、所定の規格に適合するようになることができる。この結果、半導体装置の製造歩留まりが向上し、製造コストの低減等が可能となる。

## 【0020】

## 【実施例】

実施例1.

図3は、本発明を用いたサイドウォールの製造工程図である。かかる製造工程では、まず、工程1.1で、前工程として、半導体基板上に絶縁膜が堆積される。工程1.1には、例えばCVD装置のようなデポジション装置が使用される。

図4 (a) は、工程1.1の、半導体基板4.1の断面図である、半導体基板4.1の上には、ゲート電極4.2が形成されている。絶縁膜4.3は、半導体基板4.1の表面、及びゲート電極4.2を覆うように堆積される。絶縁膜4.3としては、例えば酸化シリコン膜や窒化シリコン膜が用いられる。

## 【0021】

次に、工程1.2において、絶縁膜4.3の膜厚が測定される。

## 【0022】

次に、工程1.3において、工程1.2の測定結果を用いて、絶縁膜4.3をエッチバックするためのエッチング条件の設定を行う。エッチング条件の設定は、絶縁膜の材料や膜厚と、それに適したエッチング条件を予めデータベースとして記憶させておき、かかるデータベースから工程1.2で測定された膜厚に適したエッチング条件を選択して行う。

## 【0023】

次に、工程1.4において、工程1.3で設定したエッチバック条件を用いて、絶縁膜4.3のエッチバックを行う。エッチバックには、例えば、スパッタ装置のようなエッチング装置が使用される。

図4 (b) は、かかるエッチバック工程における半導体基板4.1の断面図である。図4 (b) では、イオンビーム4.4を用いてエッチバックを行っている。かかるエッチバック工程を行うことにより、ゲート電極4.2の両側に絶縁膜が残り

、これがサイドウォール45となる。

【0024】

次に、工程15で、サイドウォール45の幅を測定する。

【0025】

次に、工程16で、サイドウォール45の幅の測定結果が、所定の規格に適合しているか否かを判断する。規格に適合している場合には、工程17で、例えば更なる製造工程を行い、半導体装置の製品化を行う。

【0026】

一方、規格に適合していない場合には、工程18で再処理を行う。例えば、サイドウォール45の幅が規格より小さい場合には、工程11（前工程）、工程12、13、及び工程14（後工程）を行い、サイドウォール45を更に形成する。

また、サイドウォール45の幅が規格より大きい場合には、工程14（後工程）を行い、サイドウォール45をエッティングする。

なお、再処理工程における工程11、14の処理条件の決定には、工程15の測定結果も用いられる。

【0027】

工程18で再処理が行なわれた後、工程15、16を行い、再度、サイドウォール45の幅が規格に適合しているか否かを判断する。規格に適合している場合には、工程17で更なる製造工程を行い、半導体装置を製品化する。一方、規格に適合していない場合には、再度、工程18の再処理を行ってもかまわない。また、工程18は行わずに、廃棄してもかまわない。

【0028】

実施例2.

図5は、本発明を用いた層間絶縁膜の製造工程図である。かかる製造工程では、まず、工程21で、前工程として、半導体基板上に絶縁膜が堆積される。図6(a)は、工程21後の、半導体基板61の断面図である、半導体基板61には、例えば、トランジスタが形成されている（図示せず）。62は、かかるトランジスタのゲート電極を示す。絶縁膜63は、半導体基板61の表面、及びゲート

電極62を覆うように堆積される。絶縁膜63としては、例えば酸化シリコン膜が用いられる。

【0029】

次に、工程22において、絶縁膜63の膜厚が測定される。

【0030】

次に、工程23において、工程22の測定結果を用いて、絶縁膜63をエッチバックするためのエッティング条件の設定を行う。エッティング条件の設定は、実施例1と同様に、予め作成しておいたデータベースから工程22で測定された膜厚に適したエッティング条件を選択して行う。

【0031】

次に、工程24において、工程23で設定したエッチバック条件を用いて、絶縁膜63のエッチバックを行う。図6(b)は、かかるエッチバック工程における半導体基板61の断面図である。図6(b)では、イオンビーム64を用いてエッチバックを行っている。かかるエッチバック工程を行うことにより、絶縁膜63の膜厚が減じられ、所定の膜厚の層間絶縁膜65となる。

【0032】

次に、工程25で、層間絶縁膜65の膜厚を測定する。

【0033】

次に、工程26で、層間絶縁膜65の膜厚の測定結果が、所定の規格に適合しているか否かを判断する。規格に適合している場合には、工程27で、更なる製造工程を行い、半導体装置の製品化を行う。工程27では、例えば、層間絶縁膜65に貫通孔が形成され、半導体基板61に形成されたトランジスタに接続されたコンタクトホールが形成される(図示せず)。

【0034】

一方、規格に適合していない場合には、工程28で再処理を行う。層間絶縁膜65の膜厚が規格より小さい場合には、工程21(前工程)を行い、更に絶縁膜63の堆積を行う。

また、層間絶縁膜65の膜厚が規格より大きい場合には、工程24(後工程)を行い、層間絶縁膜65をエッティングする。

## 【0035】

工程28で再処理が行なわれた後、工程25、26を行い、再度、層間絶縁膜65の膜厚が規格に適合しているか否かを判断する。規格に適合している場合には、工程27で更なる製造工程を行い、半導体装置の製品化を行う。一方、規格に適合していない場合には、再度、工程28の再処理を行ってもかまわない。また、工程28は行わずに、廃棄してもかまわない。

## 【0036】

## 実施例3.

実施例3は、上記実施例2の製造工程を、多層配線間の層間絶縁膜の形成に使用するものである。本実施例の製造工程は、図7(a)に示すように、半導体基板71上に、アルミニウム等からなる配線層72が形成されている以外は、実施例2の製造工程と同じである。

## 【0037】

図7(b)に示すように、工程24で、半導体基板71上の絶縁膜73が、イオンビーム74を用いてエッチバックされて、所定の膜厚の層間絶縁膜75となる。

## 【0038】

工程27では、例えば、層間絶縁膜75に貫通孔が形成され、スルーホールが形成される(図示せず)。かかるスルーホールにより、配線層72と、層間絶縁膜75の上に形成される配線層(図示せず)が接続され、多層配線となる。

## 【0039】

## 実施例4.

図8は、本発明を用いたトランジスタの製造工程図である。かかる製造工程では、まず、前工程として、工程31に示すように、半導体基板上に、酸化膜と窒化膜とを堆積される。図9(a)は、工程31後の、シリコン等からなる半導体基板91の断面図である。半導体基板91上には、例えば $\text{SiO}_2$ からなる酸化膜92と、例えば $\text{SiN}$ からなる窒化膜93が、順次堆積されている。

## 【0040】

次に、工程32で、窒化膜93の上に形成したレジストマスク(図示せず)を

用いて、窒化膜93、酸化膜92をエッティングし、LOCOS形成領域の半導体基板91の表面を露出させる。

【0041】

次に、工程33で、開口幅、即ち、半導体基板91の露出した表面領域の幅（図9（b）において、xで表示）を測定する。

【0042】

次に、工程34で、例えば熱酸化法を用いて、露出した半導体基板91の表面を酸化してフィールド酸化膜を形成する。続いて、マスクに用いた窒化膜93、酸化膜92、をエッティングで除去して、図9（c）に示すようなLOCOS分離領域94を形成する。

この段階で、LOCOS分離領域94で挟まれた半導体基板91の表面領域が、トランジスタ形成領域（フィールド領域）となり、その幅はy1である。

【0043】

次に、工程35、36において、トランジスタ形成領域の表面に酸化膜を形成し、かかる酸化膜を通してイオンをスルー注入した後に、酸化膜を除去する工程、及び、トランジスタ形成領域にゲート酸化膜を形成した後に、不要な領域のゲート酸化膜を除去する工程等が行なわれる（図示せず）。かかる工程では、弗化水素酸（弗酸）を用いて酸化膜が除去されるために、同時にLOCOS分離領域94のフィールド酸化膜もエッティングされる。この結果、トランジスタ形成領域の幅は、y1（図9（c））からy2（図9（d））に広がる。

【0044】

特に、工程35で、弗酸濃度、処理時間等の弗酸処理（後工程）の条件は、処理条件と、LOCOS分離領域94に挟まれた半導体基板1の表面領域の幅y1の増加量との関係を予め記憶させたデータベースから、工程32で求めた値xに基づいて求められる。

【0045】

次に、工程37で、トランジスタ形成領域の幅（フィールド寸法）y2（図9（d））を測定する。

【0046】

次に、工程38で、y2の測定結果が、所定の規格に適合しているか否かを判断する。規格に適合している場合には、工程39で、例えば更なる製造工程を行い、半導体装置の製品化を行う。

#### 【0047】

一方、規格に適合していない場合には、工程40で弗酸処理（後処理）を行う。即ち、測定された幅y2が、所定の幅より狭い場合には、更に弗酸処理を行うことによりLOCOS分離領域94のフィールド酸化膜をエッティングし、トランジスタ形成領域の幅を、y2からy3に広げる（図9（e））。

なお、工程40における弗酸処理の条件は、弗酸濃度等の処理条件と、LOCOS分離領域94に挟まれた半導体基板1の表面領域の幅y2の増加量との関係を予め記憶させたデータベースから求められる。かかるデータベースには、工程35で用いたデータベースを応用してもかまわない。

#### 【0048】

工程40で弗酸処理が行なわれた後、工程37で、再度、トランジスタ形成領域の幅y3（図9（e））を測定し、幅y3が規格に適合しているか否かを判断する。規格に適合している場合には、工程39で更なる製造工程を行い、半導体装置を製品化する。一方、規格に適合していない場合には、再度、工程40の弗酸処理を行ってもかまわない。また、工程40は行わずに、廃棄してもかまわない。

#### 【0049】

##### 【発明の効果】

以上の説明から明らかなように、本発明にかかる製造方法では、処理工程後の検査で、所定の規格に適合しないと判断された半導体基板に対して、再処理工程を行うことにより、規格に適合させることができる。

#### 【0050】

この結果、半導体装置の製造歩留まりの向上が可能となり、製造コストの低減等が可能となる。

##### 【図面の簡単な説明】

【図1】 本発明にかかる製造工程図である。

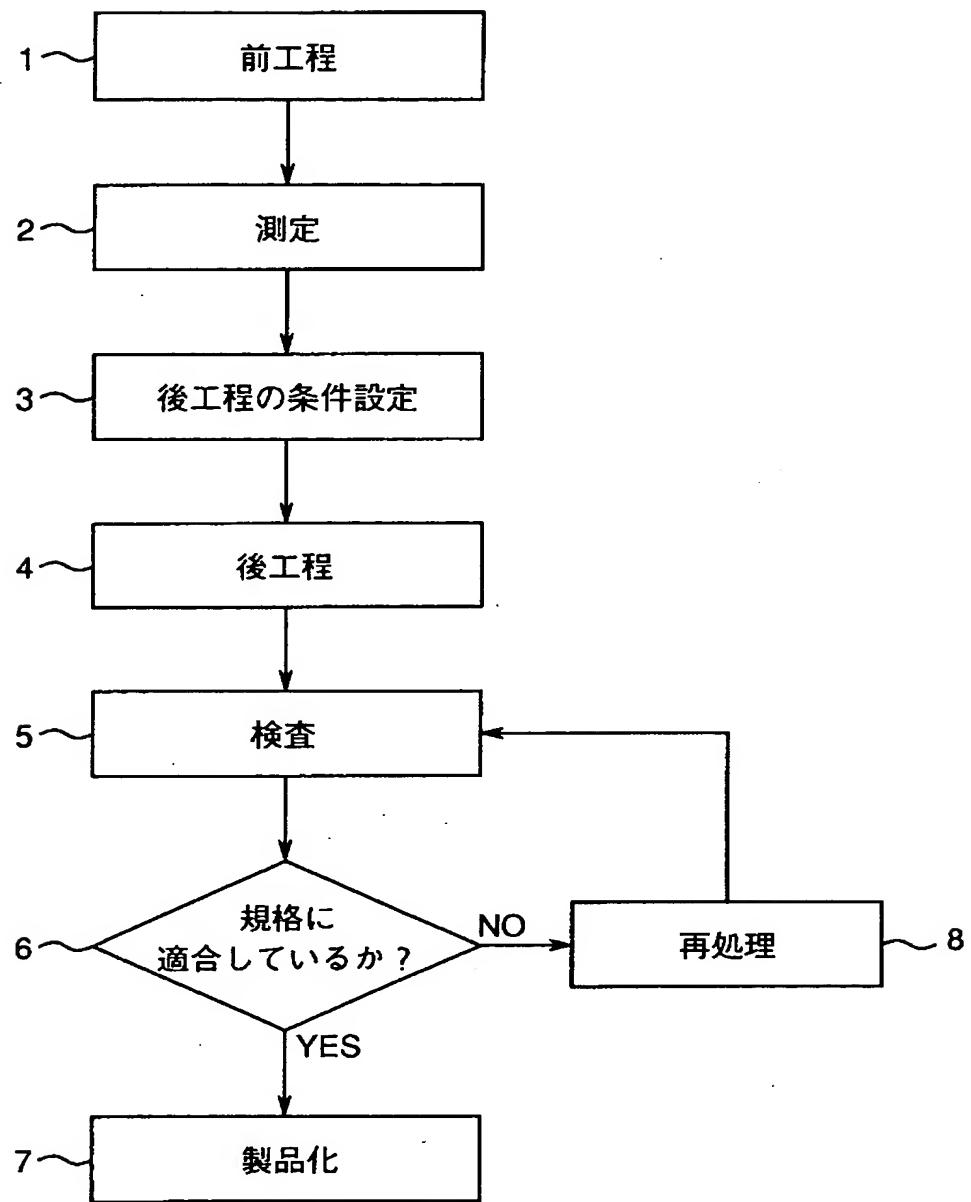
- 【図2】 本発明にかかる再処理工程図である。
- 【図3】 本発明の実施例1にかかる製造工程図である。
- 【図4】 本発明の実施例1にかかる製造工程の断面図である。
- 【図5】 本発明の実施例2にかかる製造工程図である。
- 【図6】 本発明の実施例2にかかる製造工程の断面図である。
- 【図7】 本発明の実施例3にかかる製造工程の断面図である。
- 【図8】 本発明の実施例4にかかる製造工程図である。
- 【図9】 本発明の実施例4にかかる製造工程の断面図である。
- 【図10】 従来の製造工程図である。

【符号の説明】

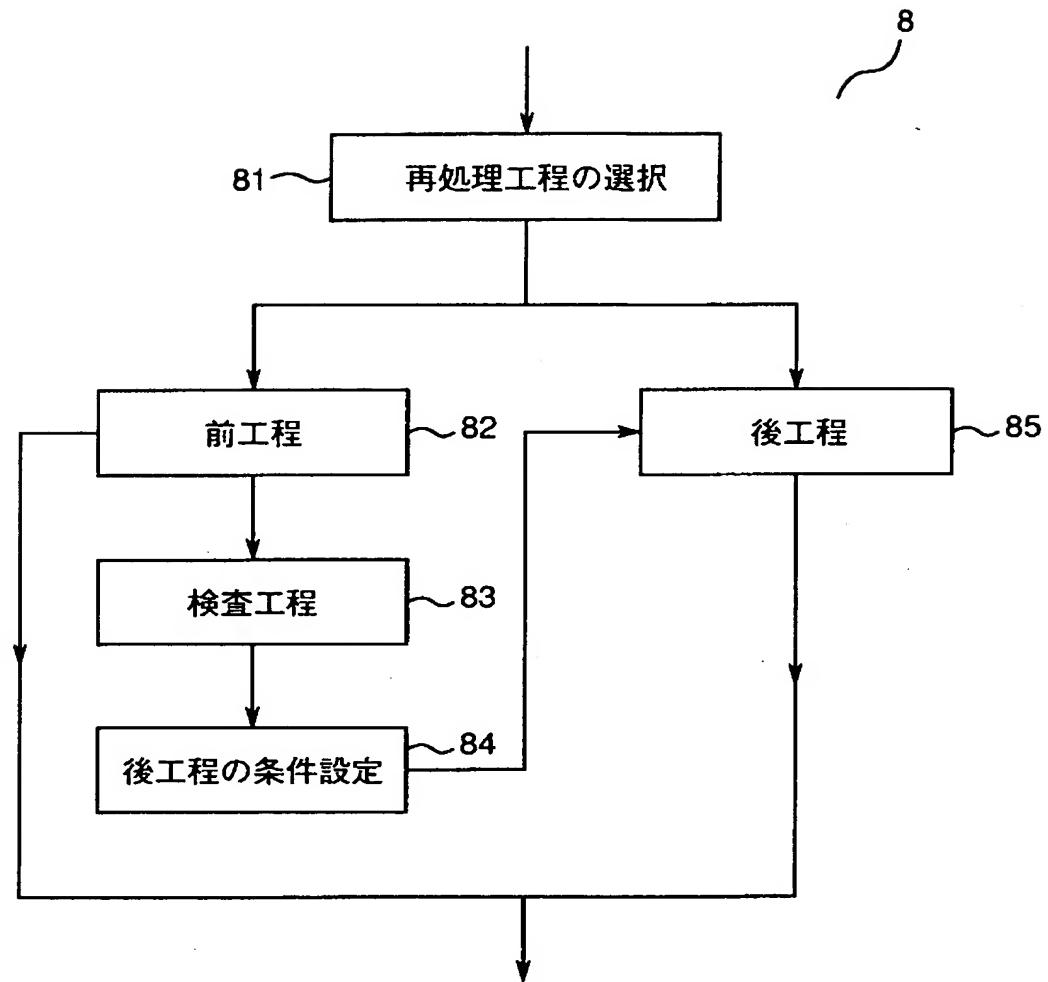
41、61、71、91 半導体基板、42、62 ゲート電極、43、63  
、73 絶縁膜、44、64、74 イオンビーム、45 サイドウォール、6  
5、75 層間絶縁膜、72 配線層、92 酸化膜、93 窒化膜、94 L  
OCOS分離領域。

【書類名】 図面

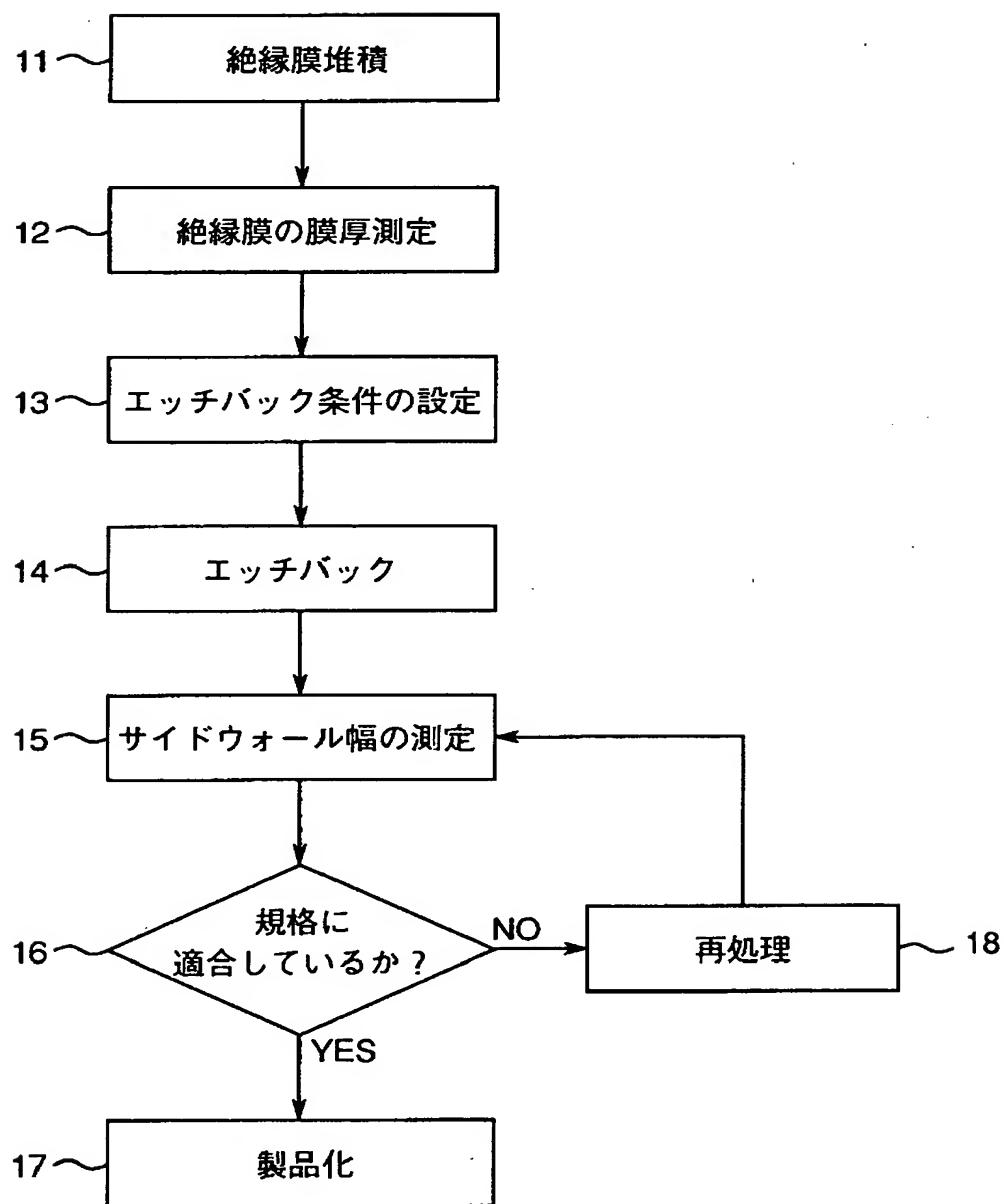
【図1】



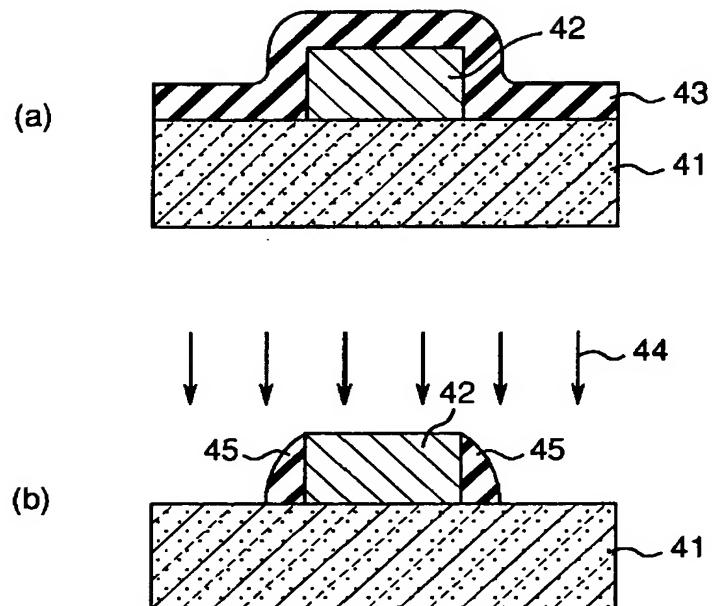
【図2】



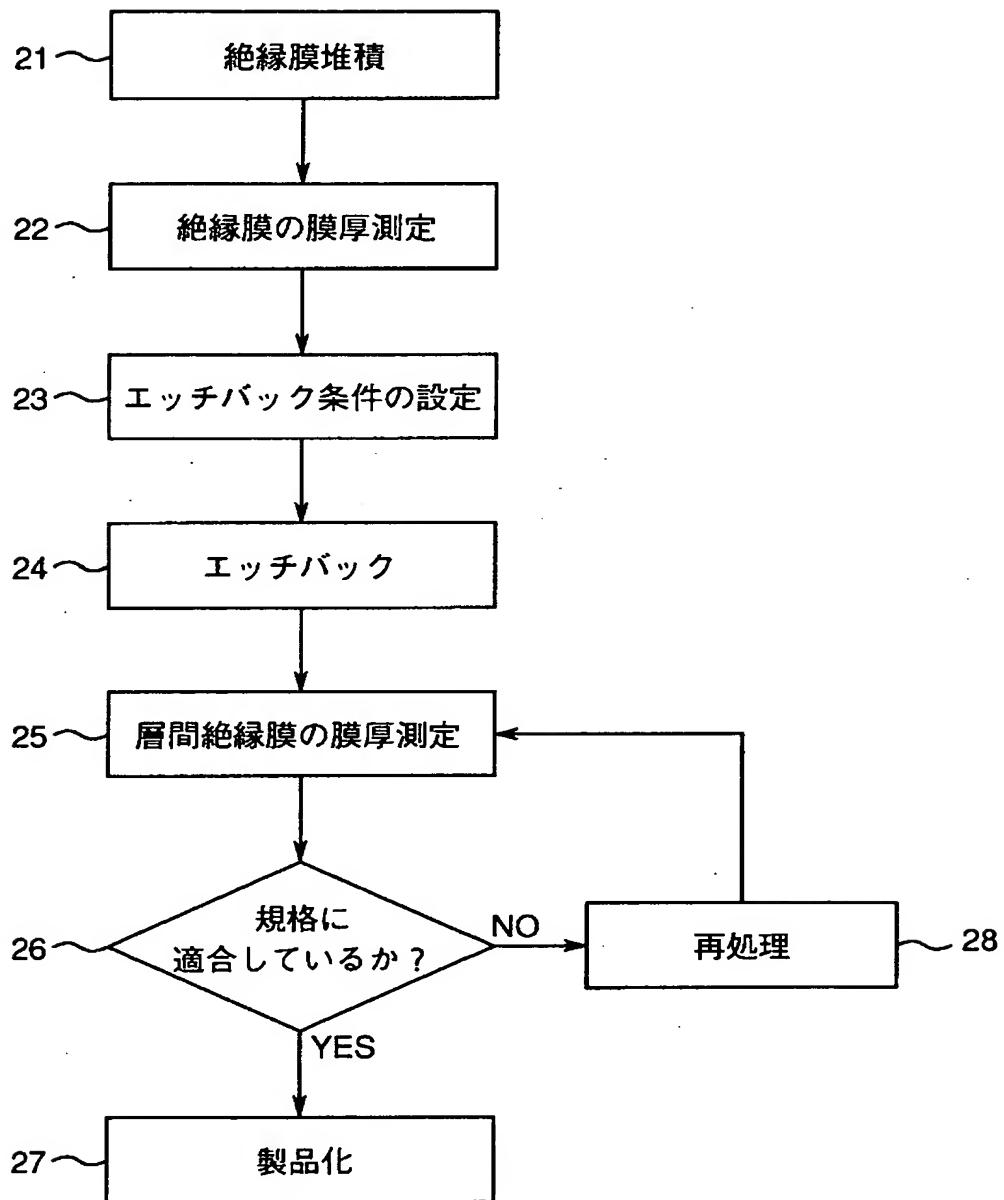
【図3】



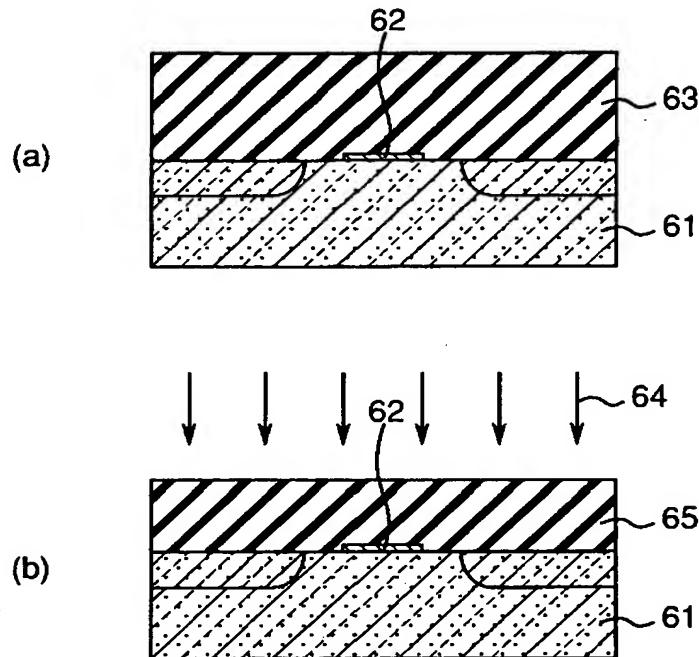
【図4】



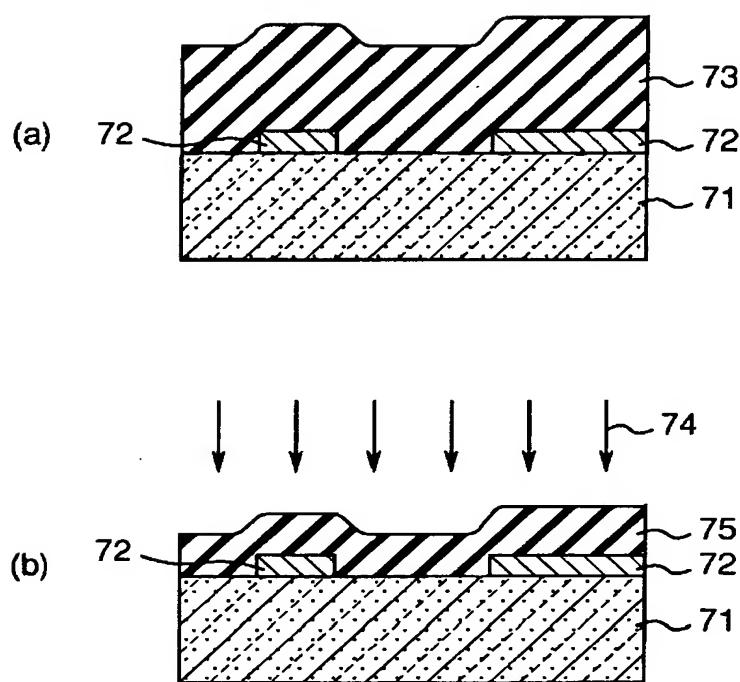
【図5】



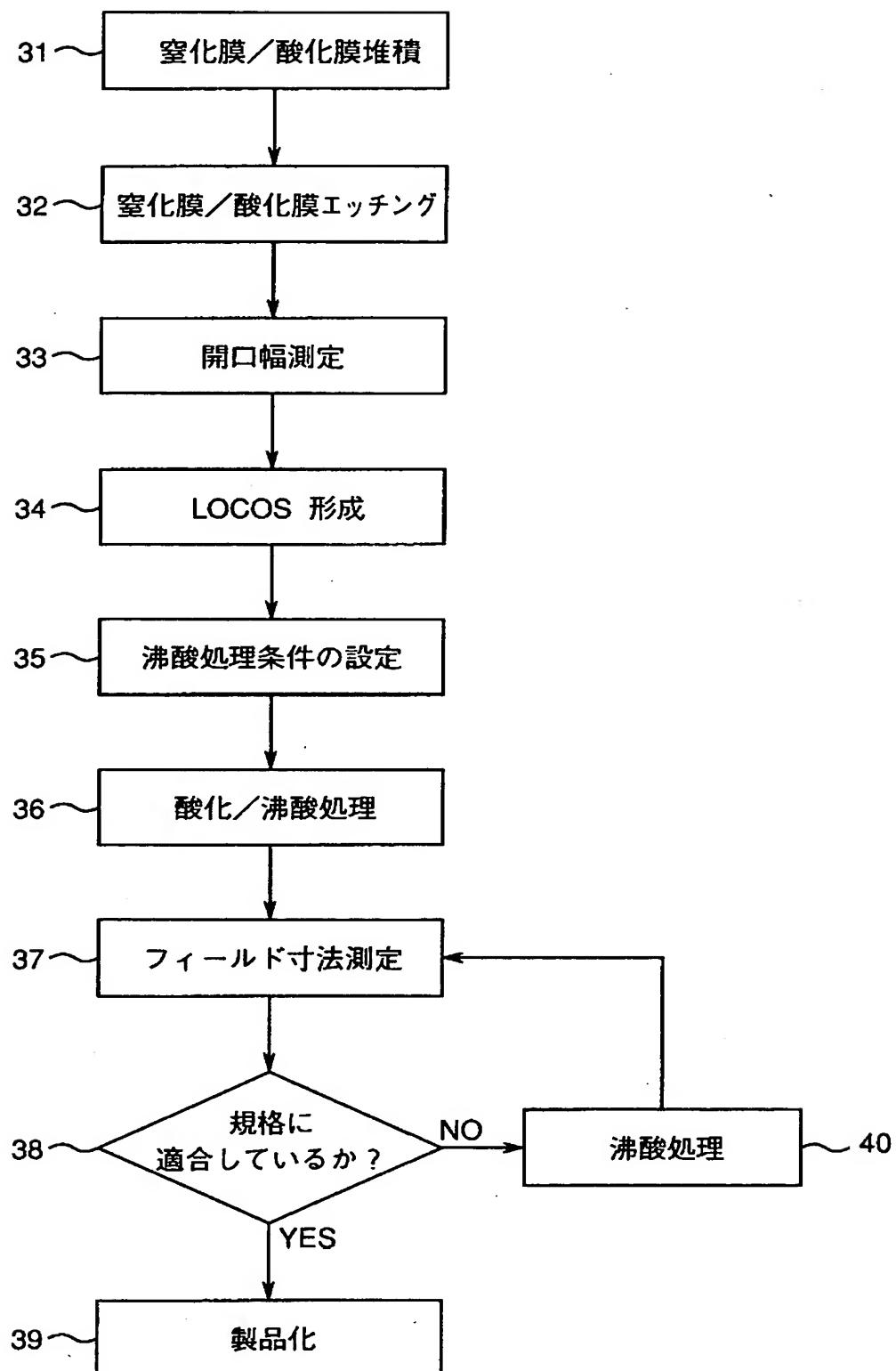
【図6】



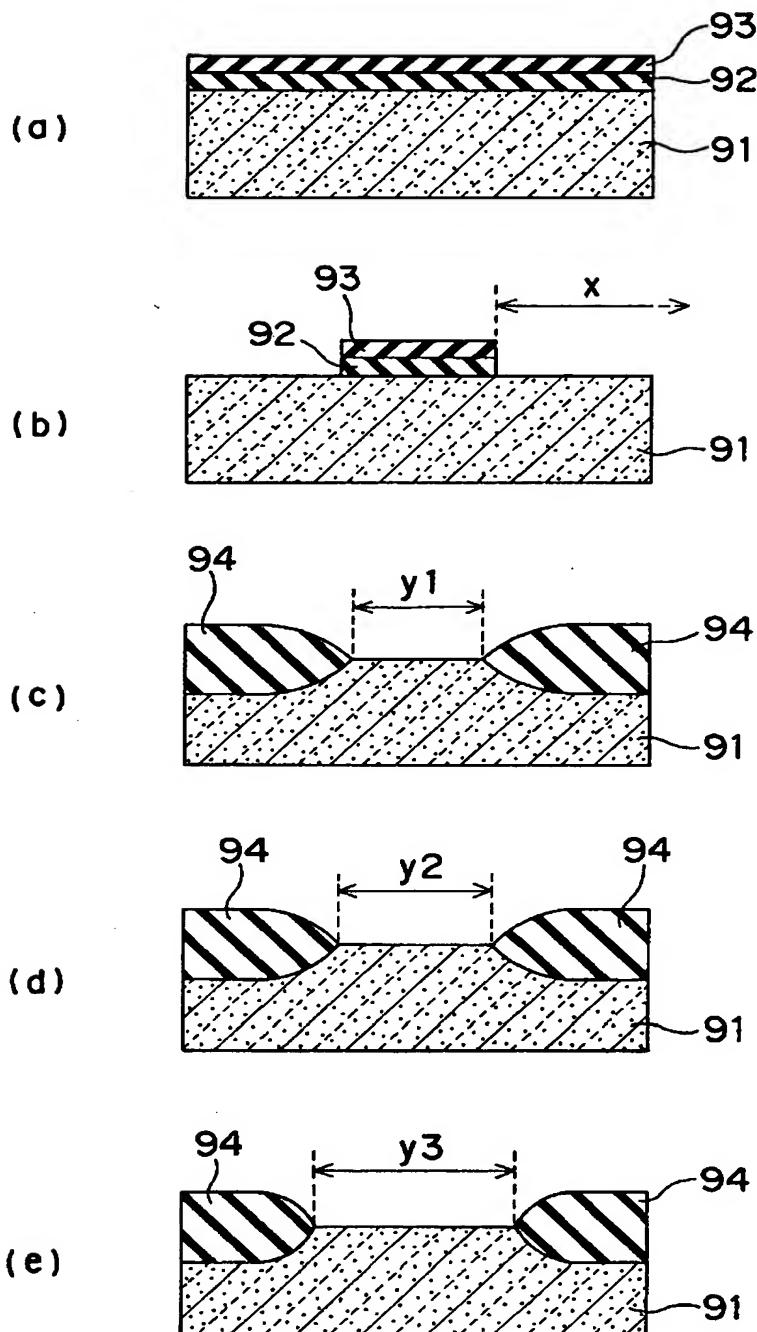
【図7】



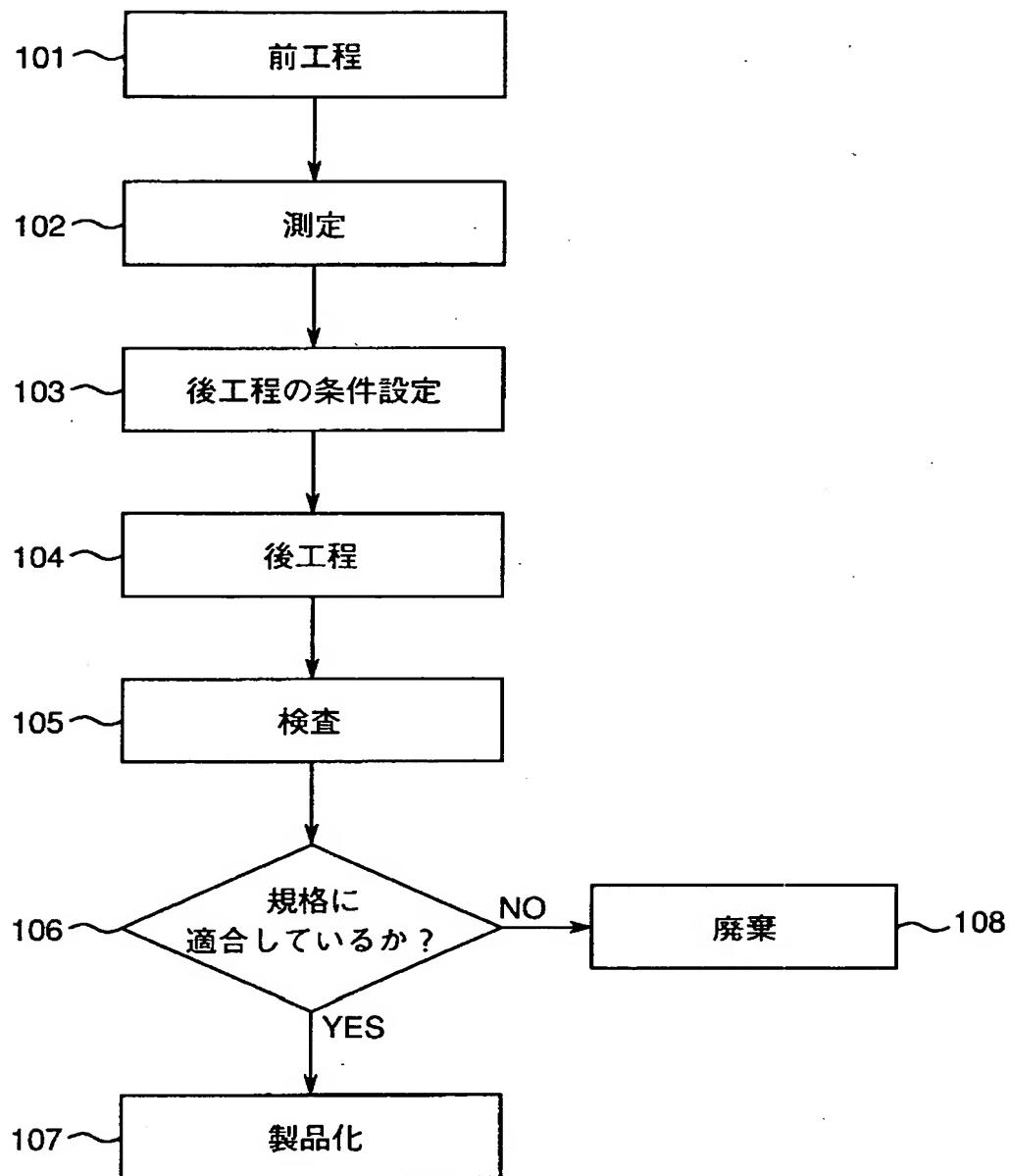
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 所定の規格に適合しない半導体基板を再処理して規格に適合させる半導体装置の製造方法を提供する。

【解決手段】 前工程と後工程とを含む処理を半導体基板に対して行う半導体装置の製造方法であって、処理された半導体基板の特性を検査して所定の規格に適合するか否かを判断し、規格に適合しない半導体基板に対して、規格に適合するように再処理を行う。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社